

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Group Art Unit: To Be Assigned  
Examiner: To Be Assigned

11002 U.S. PTO  
10/072934  
02/12/02

In Re PATENT APPLICATION Of:

Applicants : Yoshikatsu MATSUO )  
Serial No. : To Be Assigned )  
Filed : February 12, 2002 )  
For : MEMORY CONTROL CIRCUIT )  
Attorney Ref. : F00ED362 )

CLAIM FOR PRIORITY

February 12, 2002

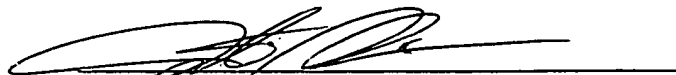
Director of Patents and Trademarks  
Washington, D.C. 20231

Sir:

Submitted herewith is a certified copy of applicant's first-filed Japanese Application No. 2001-035559, filed February 13, 2001, the rights of priority of which have been and are claimed pursuant to the provisions of 35 U.S.C. §119.

It is respectfully requested that receipt of this priority document be acknowledged.

Respectfully submitted,



Junichi Mimura  
(Registration No. 40,351)  
Oki America, Inc.  
1101 14th Street, N.W.  
Suite 555  
Washington, D.C. 20005  
Telephone : (202) 452-6190  
Telefax : (202) 452-6148  
Customer No.: 26071

日 本 国 特 許 庁  
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 2月13日

出 願 番 号

Application Number:

特願2001-035559

出 願 人

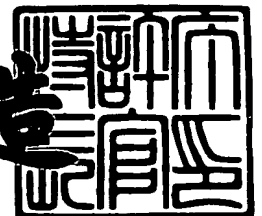
Applicant(s):

沖電気工業株式会社

2001年 4月27日

特許庁長官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3035933

【書類名】 特許願

【整理番号】 OG004495

【提出日】 平成13年 2月13日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 13/18

【発明者】

    【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社  
                        社内

    【氏名】 松尾 嘉勝

【特許出願人】

    【識別番号】 000000295

    【氏名又は名称】 沖電気工業株式会社

【代理人】

    【識別番号】 100089093

    【弁理士】

    【氏名又は名称】 大西 健治

【手数料の表示】

    【予納台帳番号】 004994

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9720320

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 メモリ制御回路

【特許請求の範囲】

【請求項 1】 第1の処理要求信号に応じて第1の処理装置とアクセス可能となり、第2の処理要求信号に応じて第2の処理装置とアクセス可能となるメモリに対するメモリ制御回路において、

前記第1の処理要求信号と前記第2の処理要求信号に基づいて、前記第1及び前記第2の処理装置がともに前記メモリに対してのアクセスを要求しているか否かを監視する監視回路と、

前記第1の処理要求信号に基づいて、第1のアドレス信号を生成して出力し、前記第2の処理要求信号に基づいて、第2のアドレス信号を生成して出力するアドレス生成回路と、

選択信号に基づいて、前記第1のアドレス信号と前記第2のアドレス信号のいずれか一方を選択的に前記メモリへ出力する選択回路と、

前記選択信号を生成するものであって、前記監視回路からの監視結果が、前記第1及び前記第2の処理装置がともに前記メモリに対してのアクセスを要求していることを示している場合に、前記第1のアドレス信号を優先して選択するように前記選択信号を制御する制御回路と、

を備えたことを特徴とするメモリ制御回路。

【請求項 2】 前記監視回路は監視結果を一時的に保持することを特徴とする請求項 1 記載のメモリ制御回路。

【請求項 3】 前記メモリ制御回路は、外部装置とのデータの送受信を行うデータ送受信装置にて適用されるものであり、前記第1の処理装置は該データ送受信装置に内蔵された中央処理装置であり、前記第2の処理装置は該データ送受信装置の外部装置であることを特徴とする請求項 1 または請求項 2 記載のメモリ制御回路。

【請求項 4】 前記第1の処理要求信号は前記中央処理装置からのデータの書き込み要求時に所定の電圧レベルとなるものであり、前記第2の処理要求信号は前記外部装置からデータの読み出し要求時に所定の電圧レベルとなるものであ

る、あるいは、前記第 1 の処理要求信号は前記中央処理装置からのデータの読み出し要求時に所定の電圧レベルとなるものであり、前記第 2 の処理要求信号は前記外部装置からデータの書き込み要求時に所定の電圧レベルとなるものであることを特徴とする請求項 3 記載のメモリ制御回路。

【請求項 5】 第 1 の処理要求信号あるいは第 2 の処理要求信号に応じて第 1 の処理装置とアクセス可能となり、第 3 の処理要求信号あるいは第 4 の処理要求信号に応じて第 2 の処理装置とアクセス可能となるメモリに対するメモリ制御回路において、

前記第 1 と前記第 2 の処理要求信号と前記第 3 の処理要求信号とに基づいて、前記第 1 及び前記第 2 の処理装置がともに前記メモリに対してのアクセスを要求しているか否かを監視する第 1 の監視回路と、

前記第 1 と前記第 2 の処理要求信号と前記第 1 の監視結果と前記第 4 の処理要求信号とに基づいて、前記第 1 及び前記第 2 の処理装置がともに前記メモリに対してのアクセスを要求しているか否かを監視する第 2 の監視回路と、

前記第 1 の処理要求信号に基づいて、第 1 のアドレス信号を生成して出力し、前記第 2 の処理要求信号に基づいて、第 2 のアドレス信号を生成し、前記第 3 の処理要求信号に基づいて、第 3 のアドレス信号を生成して出力し、前記第 4 の処理要求信号に基づいて、第 4 のアドレス信号を生成して出力するアドレス生成回路と、

選択信号に基づいて、前記第 1 ～前記第 4 のアドレス信号のいずれか 1 つを選択的に前記メモリへ出力する選択回路と、

前記選択信号を生成するものであって、前記 1 あるいは前記第 2 の監視回路からの監視結果が、前記第 1 及び前記第 2 の処理装置がともに前記メモリに対してのアクセスを要求していることを示している場合に、前記第 1 あるいは前記第 2 のアドレス信号を優先して選択するように前記選択信号を制御する制御回路と、  
を備えたことを特徴とするメモリ制御回路。

【請求項 6】 前記制御回路は、前記 1 と前記第 2 の監視回路からの監視結果が、いずれも前記第 1 及び前記第 2 の処理装置がともに前記メモリに対してのアクセスを要求していることを示している場合に、前記第 1 あるいは前記第 2 の

アドレス信号を優先して選択し、該第1の処理装置における該メモリへのアクセスが終了した後に、前記第3と前記第4のアドレス信号のうち該第3のアドレス信号を優先して選択するように制御することを特徴とする請求項5記載のメモリ制御回路。

【請求項7】 前記メモリ制御回路は、外部装置とのデータの送受信を行うデータ送受信装置にて適用されるものであり、前記第1の処理装置は該データ送受信装置に内蔵された中央処理装置であり、前記第2の処理装置は該データ送受信装置の外部装置であることを特徴とする請求項5または請求項6記載のメモリ制御回路。

【請求項8】 前記第1の処理要求信号は前記中央処理装置からのデータの書き込み要求時に所定の電圧レベルとなるものであり、前記第2の処理要求信号は前記中央処理装置からデータの読み出し要求時に所定の電圧レベルとなるものであり、前記第3の処理要求信号は前記外部装置からのデータの読み出し要求時に所定の電圧レベルとなるものであり、前記第4の処理要求信号は前記外部装置からデータの書き込み要求時に所定の電圧レベルとなるものであることを特徴とする請求項7記載のメモリ制御回路。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明はメモリ制御回路に関し、特に、シリアルにデータを送受信する送受信装置（送受信モジュール）に適用されて好適なメモリ制御回路に関する。

##### 【0002】

#### 【従来の技術】

外部装置とシリアルにデータを送受信する送受信モジュールは、内蔵する中央処理装置（以下、CPUと称する）からの要求に基づき外部装置へ送信すべきデータ、外部装置から送信されてきたデータがそれぞれメモリに書き込まれ、格納されるようになっている。このメモリに格納されたデータは、外部装置からの読み出し要求に基づき、CPUからの要求で書き込まれたデータが読み出され、あるいはCPUからの読み出し要求に基づき、外部装置から送信され書き込まれた

データが読み出される。

【0003】

外部装置とデータ送受信装置間でのシリアルなデータ転送に用いられるメモリとしては、デュアルポート・ランダムアクセスメモリ（以下、ランダムアクセスメモリをRAMと称する）が用いられている。

【0004】

また、データの転送効率を良くし、高速なデータの授受を行うため、送受信装置から外部装置へのデータの送信のための送信用と送受信装置が外部装置からのデータを受信するための受信用とで、2つのデュアルポートRAMを設けていた。図5に従来のデュアルポートRAMを用いた送受信装置の構成を示す。

【0005】

図5において、RAM1とRAM3はいずれもデュアルポートRAMである。RAM1は送信用として用いられ、RAM3は受信用として用いられている。

【0006】

RAM1は、CPUからのアクセス要求を指示するアクセス要求信号CWEをイネーブル端子CENAにて受信することで、アドレス端子AAにて受信するアドレス信号CWAにて指定されたアドレスのメモリセルに、データ端子DAにて受信する送信すべき書き込みデータCWDを書き込み、それを格納する。また、RAM1は、外部装置からのアクセス要求を指示するアクセス要求信号EREをイネーブル端子CENBにて受信することで、アドレス端子ABにて受信するアドレス信号ERAにて指定されたアドレスのメモリセルに格納されたデータを読み出し、読み出したデータERDをデータ端子QBから出力する。

【0007】

RAM3は、外部装置からのアクセス要求を指示するアクセス要求信号EWEをイネーブル端子CENBにて受信することで、アドレス端子ABにて受信するアドレス信号EWAにて指定されたアドレスのメモリセルに、データ端子DBにて受信する送信すべき書き込みデータEWDを書き込み、それを格納する。また、RAM3は、CPUからのアクセス要求を指示するアクセス要求信号CREをイネーブル端子CENAにて受信することで、アドレス端子AAにて受信するア

ドレス信号CRAにて指定されたアドレスのメモリセルに格納されたデータを読み出し、読み出したデータCRDをデータ端子QAから出力する。

#### 【0008】

また、デュアルポートRAMの代わりに、シングルポートRAMを2つ用いる場合もある。図6は、デュアルポートRAMの代わりに、受信側と送信側とでそれぞれシングルポートRAMを2つ用いた送受信装置の構成を示す図である。なお、図6においては、受信側の回路30は送信側と同様のため、送信側の構成のみを具体的に示している。

#### 【0009】

図6において、RAM11、13はともにシングルポートRAMである。RAM11のデータ端子Dには外部装置へ送信すべきデータCWDが入力される。選択回路21、25にはそれぞれCPUの要求に基づいて外部装置へ送信すべきデータを書き込むメモリセルのアドレスを指示するアドレス信号CWAと、外部装置が読み出したいデータが格納されたメモリセルのアドレスを指示するアドレス信号ERAとが入力されている。選択回路23、27にはそれぞれCPUがアクセスを要求するアクセス要求信号CWEと外部装置がアクセスを要求するアクセス要求信号EREとが入力されている。選択回路15は、それぞれRAM11とRAM13の出力端子Qから出力される信号が入力されている。バンク信号BTは、RAM11とRAM13のいずれか一方を外部装置へ送信すべきデータの書き込み用とし、他方を外部装置が読み出したいデータの読み出し用としてアクセス可能に制御する信号である。バンク信号BTは選択回路21、23に入力されるとともに、インバータ29を介して選択回路25、27、15に入力される。

#### 【0010】

このように構成することで、例えば、バンク信号BTの論理レベルがHレベル（例えば、電源電圧レベルに相当するもの）の場合、選択回路21、23はアドレス信号CWA、アクセス要求信号CWEをそれぞれ選択し、選択された信号はそれぞれRAM11のアドレス端子Aとイネーブル端子CENに入力される。このため、RAM11は、CPUの要求に基づいて、外部装置へ送信すべきデータとして、データ端子Dに入力されたデータ信号CWDがアドレス信号CWAにて



指示されるメモリセルに書き込まれることとなる。

【0011】

また、バンク信号BTの論理レベルがHレベルの場合、選択回路25, 27はアドレス信号ERA, アクセス要求信号EREをそれぞれ選択し、選択された信号はそれぞれRAM13のアドレス端子Aとイネーブル端子CENに入力される。このため、RAM13は、外部装置からの要求に基づいて、アドレス信号ERAにて指示されるメモリセルに書き込まれているデータが読み出され、読み出されたデータが出力端子Qから出力される。バンク信号BTの論理レベルがHレベルの場合、選択回路15はRAM13の出力端子Qから出力される信号を選択し、RAM13から読み出されたデータは、送信データERDとして外部装置へ出力される。

【0012】

バンク信号BTの論理レベルがLレベル（例えば、接地電圧レベル）の場合、選択回路21, 23はそれぞれアドレス信号ERA, イネーブル信号EREを選択して出力し、選択回路35, 27はそれぞれアドレス信号CWA, イネーブル信号CWEを選択して出力する。このため、バンク信号BTの論理レベルがHレベルの時とは逆に、RAM11は、外部装置からのデータの読み出し用として、RAM13は、CPUからのデータの書き込み用として動作することとなる。バンク信号BTの論理レベルがLレベルの場合、選択回路15は、RAM11の出力端子Qから出力される信号を選択し、RAM11から読み出されたデータは、送信データERDとして外部装置へ出力される。

【0013】

上記は送信用回路としての動作であるが、受信用回路30も同様な回路構成となっている。つまり、バンク信号BRの論理レベルにより、2つのRAMに対して、CPUからの読み出し要求に基づくアクセス要求信号CRE及びアドレス信号CRAを与えるか、あるいは外部装置からの書き込み要求に基づくアクセス要求信号EWE及びアドレス信号EWAを与えるかを選択回路にて制御し、アクセス要求信号CRE及びアドレス信号CRAが与えられたRAMから読み出されたデータを受信データCRDとして出力するようになっている。

## 【 0 0 1 4 】

## 【発明が解決しようとする課題】

しかしながら、図 5 に示す例では、デュアルポート RAM という特殊な RAM を 2 つ用いる構成であることから、これら RAM が占有する面積が大きくなり、送受信装置を集積回路としてワンチップ化する場合に、チップサイズの縮小化を妨げることとなる。また、2 つのデュアルポート RAM を用いることから装置としてのコストが高くなることとなる。さらに、デュアルポート RAM はその消費電力が通常の RAM より大きいため、これを 2 つも用いるとなると、送受信装置の低消費電力化を実現することを妨げることとなる。

## 【 0 0 1 5 】

図 6 に示す例においても、4 つのシングルポート RAM を用いるものであることから、やはりチップサイズの縮小化やコストが高くなることとなる。また、デュアルポート RAM に比べて消費電力が小さいシングルポート RAM であっても、これを 4 つも用いるとなると、やはり、送受信装置の低消費電力化を実現することを妨げることとなる。

## 【 0 0 1 6 】

本発明は、上記課題を解決し、送受信装置がチップサイズの縮小化やコストの低減や消費電力の低減を実現できるメモリ制御回路を提供することを目的とする。

## 【 0 0 1 7 】

## 【課題を解決するための手段】

上記課題を解決するために、本発明にて講じた手段は、第 1 の処理要求信号に応じて第 1 の処理装置とアクセス可能となり、第 2 の処理要求信号に応じて第 2 の処理装置とアクセス可能となるメモリに対するメモリ制御回路において、第 1 の処理要求信号と第 2 の処理要求信号に基づいて、第 1 及び第 2 の処理装置がともにメモリに対してのアクセスを要求しているか否かを監視する監視回路と、第 1 の処理要求信号に基づいて、第 1 のアドレス信号を生成して出力し、第 2 の処理要求信号に基づいて、第 2 のアドレス信号を生成して出力するアドレス生成回路と、選択信号に基づいて、第 1 のアドレス信号と第 2 のアドレス信号のいずれか一

方を選択的にメモリへ出力する選択回路と、選択信号を生成するものであって、監視回路からの監視結果が、第1及び第2の処理装置がともにメモリに対してのアクセスを要求していることを示している場合に、第1のアドレス信号を優先して選択するように選択信号を制御する制御回路と、を備えるようにしたものである。

## 【0018】

また、上記課題を解決するために、本発明にて講じた他の手段は、第1の処理要求信号あるいは第2の処理要求信号に応じて第1の処理装置とアクセス可能となり、第3の処理要求信号あるいは第4の処理要求信号に応じて第2の処理装置とアクセス可能となるメモリに対するメモリ制御回路において、第1と第2の処理要求信号と第3の処理要求信号とに基づいて、第1及び第2の処理装置がともにメモリに対してのアクセスを要求しているか否かを監視する第1の監視回路と、第1と第2の処理要求信号と第1の監視結果と第4の処理要求信号とに基づいて、第1及び第2の処理装置がともにメモリに対してのアクセスを要求しているか否かを監視する第2の監視回路と、第1の処理要求信号に基づいて、第1のアドレス信号を生成して出力し、第2の処理要求信号に基づいて、第2のアドレス信号を生成し、第3の処理要求信号に基づいて、第3のアドレス信号を生成して出力し、第4の処理要求信号に基づいて、第4のアドレス信号を生成して出力するアドレス生成回路と、選択信号に基づいて、第1～第4のアドレス信号のいずれか1つを選択的にメモリへ出力する選択回路と、選択信号を生成するものであって、1あるいは第2の監視回路からの監視結果が、第1及び第2の処理装置がともにメモリに対してのアクセスを要求していることを示している場合に、第1あるいは第2のアドレス信号を優先して選択するように選択信号を制御する制御回路と、を備えるようにしたものである。

## 【0019】

上記のように構成することにより、2つの処理装置からのメモリへのアクセス要求がともに発生したとしても、いずれか一方を優先させることができるので、各処理装置からのメモリへのアクセス要求に対処することができるので、積極的にデュアルポートRAMを用いることや通常のRAMを多数用いる必要がなく上

述の目的を実現することができる。

【0020】

また、本発明においては、監視回路に監視結果を一時的に保持することや、各処理要求信号にて要求される処理の内容にて優先順位を付けるなどの工夫することで、上記目的をより顕著に得ることができる。

【0021】

【発明の実施の形態】

本発明のメモリ制御回路を、図面を用いて以下に説明する。図1は、本発明のメモリ制御回路を用いた送受信回路の構成を示す図である。図1において、受信側回路に用いられるRAM151を制御するためのメモリ制御回路160は、送信側回路に用いられるRAM101を制御するためのメモリ制御回路と同様な構成で実現可能であるため、送信側回路に用いられるメモリ制御回路についてのみ具体的な回路構成を示し、受信側回路に用いられるメモリ制御回路を代表として以下に説明する。なお、図1においては、RAM101、151はいずれもシングルポートRAMである。

【0022】

図1において、RAM101とともに送信側回路を構成するメモリ制御回路は、アドレス生成回路103、選択回路105、監視回路110、インバータ106、ORゲート107、ANDゲート108、及びNORゲート109から構成されている。後述するが、インバータ106、ORゲート107、ANDゲート108、及びNORゲート109は、本発明の制御回路として機能する。

【0023】

アドレス生成回路103は、第1の処理装置としてのCPU（図示せぬ）からのデータの書き込み要求を指示する第1の処理要求信号としてのアクセス要求信号CWEに応答して、CPUからのデータ書き込み要求に対するデータの書き込み先メモリセルのアドレスを指示するアドレス信号CWAを生成し、出力する。また、アドレス生成回路103は、第2の処理装置としての外部処理装置（図示せず）からのデータの読み出し要求を指示する第2の処理要求信号としてのアクセス要求信号EREに基づくANDゲートの出力信号eに応答して、外部装置から

のデータ読み出し要求に対するデータの読み出し先メモリセルのアドレスを指示するアドレス信号E R Aを生成し、出力する。図1においては、アクセス要求信号C W Eの論理レベルがHレベルとなることで、C P UからR A M 1 0 1へのアクセス要求を指示することを示し、アクセス要求信号E R Eの論理レベルがHレベルとなることで、外部装置からR A M 1 0 1へのアクセス要求を指示することを示している。このため、アクセス要求信号C W Eの論理レベルがHレベルからLレベルになることに応じて、アドレス信号C W Aが更新され、アクセス要求信号E R Eの論理レベルがHレベルからLレベルになることに応じて、アドレス信号E R Aが更新されることとなる。

## 【 0 0 2 4 】

選択回路105は、ANDゲート108の出力信号eの状態に応じて、アドレス信号C W Aかアドレス信号E R Aのいずれか一方を選択的に出力し、R A M 1 0 1のアドレス端子Aに供給する。図1においては、信号eの論理レベルがLレベルの時には、アドレス信号C W Aが選択されて出力され、信号eの論理レベルがHレベルの時には、アドレス信号E R Aが選択されて出力されることとなる。

## 【 0 0 2 5 】

監視回路110は、ANDゲート111と保持回路として、例えば、D型フリップフロップ112から構成されている。ANDゲート110は、アクセス要求信号C W Eとアクセス要求信号E R Eとの論理積に応じた論理レベルを有する信号aを出力する。保持回路112はクロック信号C L Kの、例えば、立ち上がりに対応して信号aの論理レベルに応じた信号bを出力し、保持する。つまり、監視回路110は、C P Uと外部装置とがともにR A M 1 0 1に対してアクセス要求をしてきているか否か（アクセス要求信号C W E，E R Eの論理レベルがともにHレベルか否か）を監視し、アクセス要求信号C W E，E R Eの論理レベルがともにHレベルの時には、クロック信号C L Kの立ち上がりに応じて、信号bの論理レベルをHレベルとして出力し、それを保持するように動作する。また、監視回路110は、アクセス要求信号C W E，E R Eの論理レベルがの少なくともいずれか一方がLレベルの時には、クロック信号C L Kの立ち上がりに応じて、信号bの論理レベルをLレベルとして出力し、それを保持する。

## 【0026】

ORゲート107には、アクセス要求信号EREと信号bとが入力され、これら信号の論理和に応じた論理レベルを有する信号cを出力する。ANDゲート108は、インバータ106を介してアクセス要求信号CWEの論理レベルの反転論理レベルを有する信号dと信号cとが入力され、これら信号の論理積に応じた論理レベルを有する信号eを出力する。NORゲート109は、アクセス要求信号CWEと信号eとが入力され、これら信号の否定論理和に応じた論理レベルを有する信号fを出力し、RAM101のイネーブル端子CEN1へ供給する。

## 【0027】

つまり、このような論理ゲートにて構成される制御回路は次のような動作制御を実行するものである。アクセス要求信号CWEの論理レベルがHレベルで、アクセス要求信号EREの論理レベルがLレベルの時には、ANDゲート108からの信号eの論理レベルはLレベルに固定され、NORゲート109からの信号fの論理レベルはLレベルとなる。図1においては、イネーブル端子CEN1に論理レベルがLレベルの信号が入力されている時に、RAM101をイネーブルとし、RAM101へのアクセスが可能となり、イネーブル端子CEN1に論理レベルがHレベルの信号が入力されている時には、RAM101をディスイネーブル状態として、RAM101へのアクセスができないようになっている。このため、アクセス要求信号CWEに応じて、RAM101がイネーブルとなり、選択回路105から出力されるアドレス信号CWAにて指示されるメモリセルに、RAM101のデータ入力端子Dに入力されるデータCWDを書き込むことができる。

## 【0028】

また、アクセス要求信号CWEの論理レベルがLレベルで、アクセス要求信号EREの論理レベルがHレベルの時には、制御回路においては、信号c及び信号dの論理レベルがHレベルとなり、信号eの論理レベルがHレベルとなる。このため、アクセス要求信号EREに応じて、RAM101がイネーブルとなり、選択回路105から出力されるアドレス信号ERAにて指示されるメモリセルからデータを読み出し、RAM101のデータ出力端子Qから読み出したデータER

Dを出力することができる。

【0029】

アクセス要求信号CWEとアクセス要求信号EREの論理レベルとがともにHレベルの時には、監視回路110により信号cの論理レベルがHレベルとなるが、信号dの論理レベルがLレベルとなるため、信号eの論理レベルがLレベルとなる。このため、アクセス要求信号CWEの論理レベルがHレベルで、アクセス要求信号EREの論理レベルがLレベルの時と同様な論理レベルの信号が、アドレス生成回路103、選択回路105、NORゲート109にそれぞれ入力されることとなる。よって、CPUからのアクセス要求が優先されることとなり、アクセス要求信号CWEに応じて、RAM101がイネーブルとなり、選択回路105から出力されるアドレス信号CWAにて指示されるメモリセルに、RAM101のデータ入力端子Dに入力されるデータCWDを書き込むことができる。

【0030】

この後、アクセス要求信号EREの論理レベルがLレベルとなっても、信号aを保持回路112で取り込むため、1クロックサイクル分、監視回路110からの信号bの論理レベルがHレベルに維持されることとなる。このため、CPUとRAM101とのアクセスが終了して、アクセス要求信号CWEの論理レベルがLレベルとなった後、直ちに、信号eの論理レベルをHレベルとすることができる。よって、アクセス要求信号EREに応じて、RAM101がイネーブルとなり、選択回路105から出力されるアドレス信号ERAにて指示されるメモリセルからデータを読み出し、RAM101のデータ出力端子Qから読み出したデータERDを出力することができる。

【0031】

なお、アクセス要求信号CWEとアクセス要求信号EREの論理レベルとがともにLレベルの時には、信号fの論理レベルがHレベルとなるため、RAM101へのアクセスができない状態が維持されることになる。

【0032】

このように、図1に示した第1の実施の形態のメモリ制御回路は、CPUからのメモリに対するアクセス要求と外部装置からのメモリに対するアクセス要求と

がともに発生した時には、優先度の高い、例えば、CPUからのアクセスを優先させ、その後に、外部装置からのアクセスを実行することができる。よって、本発明のメモリ制御回路を適用することにより、1つのシングルポートRAM101を、CPUからメモリへのデータ書き込み要求と外部装置からメモリへのデータ読み出し要求とに用いることができる。よって、本発明のメモリ制御回路を適用することによって、送受信装置として、消費電力を増加することやチップサイズを増加することやコストを高くすることを低減することができる。

## 【0033】

また、上述したように、本発明のメモリ制御回路は、回路素子も極力低減し、また、複雑な制御することなく上記のような動作を実現できるので、コスト面やチップサイズの低減の効果が高く期待できる。

## 【0034】

図1に示す本発明の動作についてを、図面を用いて以下に説明する。図2は、図1に示すメモリ制御回路の動作を示すタイミングチャートである。

## 【0035】

図2において、初期状態として、CPUと外部装置とはいずれもRAM101へのアクセスを要求していないため、アクセス要求信号CWE，EREはともに論理レベルがLレベルとなっている。このため、信号a～eはいずれも論理レベルがLレベルであり、信号fの論理レベルがHレベルとなる。よって、RAM101はディスイネーブル状態が維持されている。

## 【0036】

時刻t1の期間において、アクセス要求信号CWE，EREがともに論理レベルがHレベルとなると、信号aがHレベルとなり、信号fの論理レベルがLレベルに変化する。監視回路110は、まだ保持回路112にて信号aに応じた信号を取り込んでいないため、信号bの論理レベルはLレベルのままである。また、アクセス要求信号CWEにより、信号dの論理レベルがLレベルとされるため、信号eの論理レベルがLレベルのまま維持される。よって、上述のように、時刻t1の期間において、CPUによるRAM101へアドレスCA1にて指示されるメモリセルへのデータの書き込み処理が実行されることとなる。



## 【0037】

時刻  $t_2$  の期間において、CPU による RAM 101 へのデータの書き込み処理も終了し、アクセス要求信号  $CWE$  の論理レベルが L レベルになるとともに、アクセス要求信号  $ERE$  も論理レベルが L レベルとなる。このため、信号  $a$  の論理レベルは L レベルとなるが、時刻  $t_2$  におけるクロック信号  $CLK$  の立ち上がりに応じて、保持回路 112 にて信号  $a$  に応じた信号が取り込まれているため、信号  $b$  の論理レベルは H レベルとなる。この時、信号  $d$  の論理レベルは H レベルとなっているため、信号  $e$  の論理レベルを H レベルにすることができる。このため、信号  $f$  の論理レベルが L レベルのまま維持することができ、外部装置による RAM 101 からアドレス信号  $E A 1$  にて指示されるメモリセルからのデータの読み出し処理を実行することができる。なお、アクセス要求信号  $CWE$  の論理レベルが L レベルとなることに応じて、アドレス生成回路 103 は、アドレス信号  $CWA$  を新たに生成し、アドレス信号  $CWA$  はアドレス  $CA 2$  となる。

## 【0038】

この後、外部装置による RAM 101 へのデータの読み出し処理も終了し、時刻  $t_3$  におけるクロック信号  $CLK$  の立ち上がりに対応して、保持回路 112 からの信号  $b$  の論理レベルも L レベルとなる。このため、信号  $e$  の論理レベルも L レベルとなり、初期状態と同様な状態に戻る。なお、信号  $e$  の論理レベルが L レベルとなることに応じて、アドレス生成回路 103 は、アドレス信号  $ERA$  を新たに生成し、アドレス信号  $ERA$  はアドレス  $EA 2$  となる。

## 【0039】

時刻  $t_5$  の期間において、アクセス要求信号  $CWE$  の論理レベルが H レベルとなり、アクセス要求信号  $ERE$  の論理レベルが L レベルを維持している場合には、信号  $c$  の論理レベルが L レベルを維持しているため、信号  $e$  の論理レベルは L レベルが維持されるとともに、信号  $f$  の論理レベルを L レベルとすることができる。よって、CPU による RAM 101 へアドレス  $CA 2$  にて指示されるメモリセルへのデータの書き込み処理が実行されることとなる。

## 【0040】

時刻  $t_6$  の期間において、CPU による RAM 101 へのデータの書き込み処

理も終了し、アクセス要求信号CWEの論理レベルがLレベルになると、アドレス生成回路103は、アドレス信号CWAを新たに生成し、アドレス信号CWAはアドレスCA3となる。

## 【0041】

時刻t8の期間において、アクセス要求信号EREの論理レベルがHレベルとなり、アクセス要求信号CWEの論理レベルがLレベルを維持している場合には、信号cの論理レベルがHレベルとなり、信号eの論理レベルをHレベルとすることができる。よって、外部装置によるRAM101へアドレスEA2にて指示されるメモリセルへのデータの読み出し処理が実行されることとなる。

## 【0042】

時刻t9の期間において、外部装置によるRAM101へのデータの読み出し処理も終了し、アクセス要求信号EREの論理レベルがLレベルになると、アドレス生成回路103は、アドレス信号ERAを新たに生成し、アドレス信号ERAはアドレスEA3となる。

## 【0043】

以上のように、本発明におけるメモリ制御回路を用いることで、特に、CPUからのアクセス要求と外部装置からのアクセス要求とがともに発生した場合においても、優先度の高いアクセス要求を先に実行した後、残りのアクセス要求を実行するようにスケジューリングすることができるので、上述の目的を達成することができる。

## 【0044】

なお、受信側回路160においては、CPUからのデータの読み出し要求を指示するアクセス要求信号CREを、アクセス要求信号CWEの代わりに適用し、外部装置からのデータの書き込み要求を指示するアクセス要求信号EWEを、アクセス要求信号EREの代わりに適用することとして、上述したメモリ制御回路と同様な回路を適用することにより、アクセス要求信号CREとアクセス要求信号EWEとがともに発生した場合に、送信側回路の場合と同様に、CPUからのデータの読み出し要求を優先して実行制御することができる。

## 【0045】

次に、第2の実施の形態におけるメモリ制御回路についてを、図面を用いて以下に説明する。図3は、本発明のメモリ制御回路を用いた送受信回路の構成を示す図である。なお、図3におけるRAM201は、シングルポートRAMであり、図1と同様に、イネーブル端子CENに論理レベルがLレベルの信号が入力されているときに、イネーブル状態となり、アクセス可能となるものである。また、第1～第4の処理要求信号としてのアクセス要求信号CWE, CRE, ERE, EWEは図1と同様な意味を有する信号である。以下の説明において、CPUからはアクセス要求信号CWE, CREがともに発生することがないことを前提としている。

## 【0046】

図3における第2の実施の形態においては、送信側回路と受信側回路とで1つのRAM201を用いるようにしている。

## 【0047】

図3におけるメモリ制御回路は、アドレス生成回路203、選択回路205、233、監視回路210、220、250、260、270、ORゲート207、231、287、291、ANDゲート208、288、インバータ206、286、NORゲート209、及び保持回路としてのD型フリップフロップ235、236、245、247にて構成されている。

## 【0048】

アドレス生成回路203は、アクセス要求信号CWE, CREの、例えば、論理レベルがHレベルからLレベルへの変化に応じてそれぞれCPUからの書き込み要求に対するアドレス信号CWA, CPUからの読み出し要求に対するアドレス信号CRAを更新し、出力する。アドレス生成回路203は、ANDゲート288から出力される信号mの論理レベルのHレベルからLレベルへの変化に応じて外部装置からの書き込み要求に対するアドレス信号EWAを更新し、出力する。さらに、アドレス生成回路203は、ANDゲート208から出力される信号fの論理レベルのHレベルからLレベルへの変化に応じて外部装置からの読み出し要求に対するアドレス信号ERAを更新し、出力する。

## 【0049】

選択回路 2 3 3 は、信号 m の論理レベルに応じて CPU からの要求に応じた書き込みデータ CWD と外部装置からの要求に応じた書き込みデータ EWD とのいずれか一方を RAM 2 0 1 のデータ入力端子 D へ選択的に出力する。図 3 においては、信号 m の論理レベルが L レベルの時には、書き込みデータ CWD が選択され、信号 m の論理レベルが H レベルの時には、書き込みデータ EWD が選択される。

#### 【 0 0 5 0 】

選択回路 2 0 5 は、アクセス要求信号 CRE, 信号 f, 信号 m の論理レベルに応じて、アドレス信号 CWA, CRA, EWA, ERA のいずれか 1 つを RAM 2 0 1 のアドレス端子 A へ選択的に出力する。図 3 においては、アクセス要求信号 CRE, 信号 f, 信号 m の論理レベルがいずれも L レベルの時にはアドレス信号 CWA が選択され、アクセス要求信号 CRE の論理レベルが H レベルでその他の信号の論理レベルが L レベルの時にはアドレス信号 CRA が選択され、信号 f の論理レベルが H レベルでその他の信号の論理レベルが L レベルの時にはアドレス信号 ERA が選択され、信号 m の論理レベルが H レベルでその他の信号の論理レベルが L レベルの時にはアドレス信号 EWA が選択される。

#### 【 0 0 5 1 】

フリップフロップ（以下、単に FF と称する） 2 3 5 は、例えば、クロック信号 CLK の立ち上がりに対応して、信号 f を取り込み、信号 f の論理レベルに応じた論理レベルを有する信号を出力し、それを維持する。FF 2 3 6 は、FF 2 3 5 から出力される信号の論理レベルの変化、例えば、立ち上がりに対応して、RAM 2 0 1 の出力端子 Q から出力される信号を取り込み、この取り込んだ信号の論理レベルに応じた論理レベルを有する信号を出力し、それを維持する。FF 2 3 6 から出力される信号が、外部装置からのデータの読み出し要求に応じて読み出されたデータ ERD となる。

#### 【 0 0 5 2 】

FF 2 4 5 は、例えば、クロック信号 CLK の立ち上がりに対応して、アクセス要求信号 CRE を取り込み、アクセス要求信号 CRE の論理レベルに応じた論理レベルを有する信号を出力し、それを維持する。FF 2 4 7 は、FF 2 4 5 か

ら出力される信号の論理レベルの変化、例えば、立ち上がりに応答して、RAM 2 0 1 の出力端子 Q から出力される信号を取り込み、この取り込んだ信号の論理レベルに応じた論理レベルを有する信号を出力し、それを維持する。FF 2 4 7 から出力される信号が、CPU からのデータの読み出し要求に応じて読み出されたデータ CRD となる。

## 【 0 0 5 3 】

OR ゲート 2 3 1 には、CPU から RAM 2 0 1 へのデータの書き込みを要求する旨を指示するアクセス要求信号 C W E と、CPU から RAM 2 0 1 へデータの読み出しを要求する旨を指示するアクセス要求信号 C R E とが入力される。つまり、OR ゲート 2 3 1 から出力される信号 a は、CPU から RAM 2 0 1 に対して、データの書き込み要求あるいは読み出し要求といったアクセス要求が発生した際に、論理レベルは H レベルとなるものである。信号 a は、CPU からのアクセス要求がない状態では、論理レベルは L レベルのまま維持される。

## 【 0 0 5 4 】

監視回路 2 1 0 は、AND ゲート 2 1 1 と FF 2 1 3 とで構成されている。AND ゲート 2 1 1 には信号 a と監視回路 2 2 0 から出力される信号 b とが入力される。FF 2 1 3 は、クロック信号 C L K の、例えば、立ち上がりに応じて、AND ゲート 2 1 1 から出力される信号を取り込み、この取り込んだ信号の論理レベルに応じた信号 c を出力する。また、監視回路 2 2 0 は、監視回路 2 2 0 と同様な回路構成を有し、信号 a と外部装置から RAM 2 0 1 へのデータの読み出しを要求する旨を指示するアクセス要求信号 E R E とが AND ゲートに入力され、AND ゲートから出力される信号が、クロック信号 C L K の、例えば、立ち上がりに応じて、FF に取り込まれ、この取り込んだ信号の論理レベルに応じた信号 b を出力する。

## 【 0 0 5 5 】

OR ゲート 2 0 7 には、信号 b、信号 c、及びアクセス要求信号 E R E が入力される。つまり、OR ゲート 2 0 7 は、信号 b、信号 c、及びアクセス要求信号 E R E の論理レベルがいずれも L レベルの時には、論理レベルが L レベルの信号 d を出力する。OR ゲート 2 0 7 は、信号 b、信号 c、及びアクセス要求信号 E

REの論理レベルのいずれか1つでもHレベルの時には、論理レベルがHレベルの信号dを出力する。

【0056】

このように構成された監視回路210、220、ORゲート207は次のような動作をすることとなる。信号aの論理レベルがLレベルの時、つまり、CPUからRAM201のアクセス要求がない時に、外部装置からRAM201へのデータの読み出し要求がなければ（アクセス要求信号EREの論理レベルがLレベルであれば）、信号b、cともに論理レベルがLレベルのまま維持される。このため、ORゲート207からの信号dの論理レベルはLレベルとなる。信号aの論理レベルがLレベルの時に、外部装置からRAM201へのデータの読み出し要求がなされ、アクセス要求信号EREの論理レベルがHレベルとなると、監視回路210、220を構成するANDゲートにより、FFに入力されるANDゲートの出力信号の論理レベルはLレベルが維持され、信号b、cの論理レベルはLレベルのままであるが、アクセス要求信号EREに応じて、ORゲート207からの信号dの論理レベルをHレベルとすることができる。

【0057】

次に、信号aの論理レベルがHレベルの時、つまり、CPUからRAM201のアクセス要求が発生している時には、アクセス要求信号EREの論理レベルがLレベルのままであれば、信号b、cの論理レベルはLレベルのままであり、信号dの論理レベルもLレベルのまま維持される。信号aの論理レベルがHレベルの時に、アクセス要求信号EREの論理レベルもHレベルであると、つまり、CPUからのアクセス要求と外部装置からのデータの読み出し要求とがともに発生すると、監視回路220のANDゲートの出力信号はHレベルとなり、次のクロック信号の立ち上がりに応じて信号bの論理レベルがLレベルからHレベルへと変化する。このため、次のクロックサイクルでアクセス要求信号EREの論理レベルがLレベルになったとしても、信号bの論理レベルをHレベルとしておくことができるので、信号dの論理レベルをHレベルとすることができる。つまり、アクセス要求信号EREの論理レベルがHレベルとなるサイクルを、1クロックサイクル分遅延させて信号dに発生させていることとなる。

## 【0058】

ここで、信号 a の論理レベルが H レベルの期間が 2 クロックサイクル続いて生じた場合、つまり、CPU から RAM 201 へのデータの書き込み要求と読み出し要求とが続けて生じた場合には、監視回路 220 からの信号 b は H レベルから L レベルとなるが、監視回路 210 にてクロック信号 CLK の立ち上がりに応じて信号 b を取り込むため、信号 c の論理レベルが L レベルから H レベルへと変化する。このため、次のクロックサイクルで信号 b の論理レベルが L レベルになったとしても、信号 c の論理レベルを H レベルとしておくことができるので、信号 d の論理レベルを H レベルとすることができる。つまり、アクセス要求信号 ERE の論理レベルが H レベルとなるサイクルを、2 クロックサイクル分遅延させて信号 d に発生させていることとなる。

## 【0059】

このように、監視回路 210、220、及び OR ゲート 207 は、CPU から RAM 201 へのアクセス要求が発生していない場合には、アクセス要求信号 ERE の論理レベルに応じた論理レベルの信号 d を発生することができ、CPU から RAM 201 へのアクセス要求が発生している場合には、CPU から RAM 201 に対するアクセス要求期間に応じて、アクセス要求信号 ERE を 1 クロックサイクルあるいは 2 クロックサイクル遅延させて信号 d に発生することができる。

## 【0060】

AND ゲート 208 は、信号 a の論理レベルを反転した信号である、インバータ 206 から出力される信号 e と信号 d とが入力されている。このため、AND ゲート 208 から出力される信号 f の論理レベルは、CPU から RAM 201 へのアクセス要求が発生している（信号 a の論理レベルが H レベル）場合には、L レベルとなる。また、CPU から RAM 201 へのアクセス要求が発生していない場合には、外部装置から RAM 201 へのデータの読み出し要求が生じている（アクセス要求信号 ERE の論理レベルが H レベル）、あるいは外部装置から RAM 201 へのデータの読み出し要求を受信済み（信号 b あるいは信号 c の論理レベルが H レベル）であれば、信号 f の論理レベルは H レベルとなる。なお、C

PUからRAM 2 0 1へのアクセス要求が発生していない場合であっても、外部装置からRAM 2 0 1へのデータの読み出し要求がなされていない（アクセス要求信号ERE，信号b，信号cの論理レベルがいずれもLレベル）場合には、信号fの論理レベルはLレベルとなる。

## 【 0 0 6 1 】

ORゲート2 9 1は、信号aと信号fとが入力されるものである。ORゲート2 9 1は、ORゲート2 3 1と同様な役割をするものである。つまり、ORゲート2 9 1は、CPUからのアクセス要求及び監視回路2 1 0，2 2 0による遅延させた期間を含めて外部装置からのデータの読み出し要求がない（信号a及び信号fの論理レベルがいずれもLレベル）場合には論理レベルがLレベルとなり、CPUからのアクセス要求あるいは監視回路2 1 0，2 2 0による遅延させた期間を含めて外部装置からのデータの読み出し要求が発生している（信号aあるいは信号fのいずれかの論理レベルがHレベル）場合に論理レベルがHレベルとなる。

## 【 0 0 6 2 】

監視回路2 5 0，2 6 0，2 7 0はいずれも監視回路2 1 0や監視回路2 2 0と同様な回路構成のものである。つまり、監視回路2 7 0のANDゲートは信号gと外部装置からRAM 2 0 1へのデータの書き込み要求を指示する旨のアクセス要求信号EWEが入力され、このANDゲートの出力信号が、クロック信号CLKの、例えば、立ち上がりに応じてFFに取り込まれ、このFFは、ANDゲートの出力信号の論理レベルに応じた論理レベルを有する信号hを出力する。監視回路2 6 0のANDゲートは信号gと信号hが入力され、このANDゲートの出力信号が、クロック信号CLKの、例えば、立ち上がりに応じてFFに取り込まれ、このFFは、ANDゲートの出力信号の論理レベルに応じた論理レベルを有する信号iを出力する。監視回路2 5 0のANDゲートは信号gと信号iが入力され、このANDゲートの出力信号が、クロック信号CLKの、例えば、立ち上がりに応じてFFに取り込まれ、このFFは、ANDゲートの出力信号の論理レベルに応じた論理レベルを有する信号jを出力する。

## 【 0 0 6 3 】



ORゲート287には、信号h、信号i、信号j、及びアクセス要求信号EWEが入力される。つまり、ORゲート287は、信号h、信号i、信号j、及びアクセス要求信号EWEの論理レベルがいずれもLレベルの時には、論理レベルがLレベルの信号kを出力する。ORゲート287は、信号h、信号i、信号j、及びアクセス要求信号EWEの論理レベルのいずれか1つでもHレベルの時には、論理レベルがHレベルの信号kを出力する。

## 【0064】

このように監視回路250、260、270、及びORゲート287にて構成された回路は、その接続関係から分かるように、監視回路210、220、及びORゲート207にて構成された回路に対して、さらに監視回路が1つ分追加されたものである。つまり、アクセス要求信号EREに対しては、監視回路210、220、及びORゲート207にて最大2クロックサイクル分遅延させて、信号dに発生させるようにしているのに対して、アクセス要求信号EWEに対しては、監視回路250、260、270、及びORゲート287にて最大3クロックサイクル分遅延させて、信号kに発生させるようにしている。

## 【0065】

詳細には、信号gの論理レベルがLレベルの時、つまり、CPUからRAM201のアクセス要求がなく、遅延されている期間を含めて外部装置からRAM201へのデータの読み出し要求がない（信号a、信号fの論理レベルがともにLレベル）時には、信号h、i、jのいずれも論理レベルがLレベルのまま維持される。このため、アクセス要求信号EWEの論理レベルはLレベルであれば、ORゲート287から出力される信号kの論理レベルはLレベルとなり、外部装置からRAM201へのデータの書き込み要求がなされ、アクセス要求信号EWEの論理レベルがHレベルとなれば、アクセス要求信号EWEに応じて、ORゲート287からの信号kの論理レベルをHレベルとすることができる。

## 【0066】

次に、信号gの論理レベルがHレベルの時、つまり、CPUからRAM201のアクセス要求あるいは遅延された期間を含めて外部装置からRAM201へのデータの読み出し要求が発生している（信号aあるいは信号fの論理レベルがH

レベル) 時には、アクセス要求信号 EWE の論理レベルが L レベルのままであれば、信号 h、i、j の論理レベルは L レベルのままであり、信号 k の論理レベルも L レベルのまま維持される。信号 g の論理レベルが H レベルの時に、アクセス要求信号 EWE の論理レベルも H レベルであると、つまり、CPU からのアクセス要求あるいは遅延された期間を含めた外部装置からの読み出し要求と、外部装置からのデータの読み出し要求とがともに発生すると、監視回路 270 の AND ゲートの出力信号は H レベルとなり、次のクロック信号の立ち上がりに応じて信号 h の論理レベルが L レベルから H レベルへと変化する。このため、次のクロックサイクルでアクセス要求信号 EWE の論理レベルが L レベルになったとしても、信号 h の論理レベルを H レベルとしておくことができるので、信号 k の論理レベルを H レベルとすることができる。つまり、アクセス要求信号 EWE の論理レベルが H レベルとなるサイクルを、1 クロックサイクル分遅延させて信号 k に発生させていることとなる。

## 【0067】

ここで、信号 g の論理レベルが H レベルの期間が 2 クロックサイクル続いて生じた場合、つまり、CPU から RAM 201 へのデータの書き込み要求と読み出し要求とが続けて生じた場合や CPU からのアクセス要求に続いて遅延させていた外部装置からの RAM 201 へのデータの読み出し要求が生じた場合には、監視回路 270 からの信号 h は H レベルから L レベルとなるが、監視回路 260 にてクロック信号 CLK の立ち上がりに応じて信号 h を取り込むため、信号 i の論理レベルが L レベルから H レベルへと変化する。このため、次のクロックサイクルで信号 h の論理レベルが L レベルになったとしても、信号 i の論理レベルを H レベルとしておくことができるので、信号 k の論理レベルを H レベルとすることができる。つまり、アクセス要求信号 EWE の論理レベルが H レベルとなるサイクルを、2 クロックサイクル分遅延させて信号 k に発生させていることとなる。

## 【0068】

さらに、信号 g の論理レベルが H レベルの期間が 3 クロックサイクル続いて生じた場合、つまり、CPU から RAM 201 へのデータの書き込み要求と読み出し要求とが続けて生じ、その後さらに遅延させていた外部装置からの RAM 20

1へのデータの読み出し要求が生じた場合には、監視回路260からの信号iはHレベルからLレベルとなるが、監視回路250にてクロック信号CLKの立ち上がりに応じて信号iを取り込むため、信号jの論理レベルがLレベルからHレベルへと変化する。このため、次のクロックサイクルで信号iの論理レベルがLレベルになったとしても、信号jの論理レベルをHレベルとしておくことができるので、信号kの論理レベルをHレベルとすることができる。つまり、アクセス要求信号EWEの論理レベルがHレベルとなるサイクルを、3クロックサイクル分遅延させて信号kに発生させていることとなる。

#### 【0069】

このように、監視回路250、260、270、及びORゲート287は、CPUからRAM201へのアクセス要求及び遅延された期間を含めて外部装置からRAM201へのデータの読み出し要求が発生していない場合には、アクセス要求信号EWEの論理レベルに応じた論理レベルの信号kを発生することができる、CPUからRAM201へのアクセス要求あるいは遅延された期間を含めて外部装置からRAM201へのデータの読み出し要求が発生している場合には、発生しているアクセス要求期間に応じて、アクセス要求信号EWEを1クロックサイクル～3クロックサイクル遅延させて信号kに発生することができる。

#### 【0070】

ANDゲート288は、信号gの論理レベルを反転した信号である、インバータ286から出力される信号lと信号kとが入力されている。このため、ANDゲート288から出力される信号mの論理レベルは、CPUからRAM201へのアクセス要求あるいは遅延された期間を含めて外部装置からRAM201へのデータの読み出し要求が発生している（信号gの論理レベルがHレベル）場合には、Lレベルとなる。また、CPUからRAM201へのアクセス要求が発生しておらず、遅延された期間を含めて外部装置からRAM201へのデータの読み出し要求も発生していない（信号gの論理レベルがLレベル）場合には、外部装置からRAM201へのデータの書き込み要求が生じている（アクセス要求信号EWEの論理レベルがHレベル）、あるいは外部装置からRAM201へのデータの書き込み要求を受信済み（信号h、信号i、信号jのいずれかの論理レベル

がHレベル)であれば、信号mの論理レベルはHレベルとなる。なお、CPUからRAM201へのアクセス要求あるいは遅延された期間を含めて外部装置からRAM201へのデータの読み出し要求が発生していない場合であっても、外部装置からRAM201へのデータの書き込み要求がなされていない(アクセス要求信号EWE, 信号h, 信号i, 信号jの論理レベルがいずれもLレベル)場合には、信号mの論理レベルはLレベルとなる。

## 【0071】

NORゲート209は、信号a、信号f、信号mがそれぞれ入力される。NORゲート209は、CPU及び遅延期間を含めて外部装置からRAM201へのアクセス要求が発生していない(信号a、信号f、信号mの論理レベルがいずれもLレベル)の時には、論理レベルがHレベルの信号nをRAM201のイネーブル端子CENへ出力する。このため、RAM201はアクセスが実行されない非活性化状態となる。NORゲート209は、CPUあるいは遅延期間を含めて外部装置からRAM201へのアクセス要求のいずれかが発生している(信号a、信号f、信号mのいずれかの論理レベルがHレベル)の時には、論理レベルがLレベルの信号nをRAM201のイネーブル端子CENへ出力する。このため、RAM201はアクセスが可能な活性化状態となる。

## 【0072】

このように、図3に示す第2の実施の形態におけるメモリ制御回路においては、CPUからのアクセス要求を最優先とし、その次に、外部装置からRAM201へのデータの読み出し要求を優先させるようにスケジューリングすることができる。

## 【0073】

図3に示す構成された本発明の第2の実施の形態におけるメモリ制御回路の動作についてを、図面を用いて以下に説明する。図4は本発明の第2の実施の形態におけるメモリ制御回路の動作を示すタイミングチャートである。

## 【0074】

図4において、初期状態として、CPUと外部装置とはいずれもRAM201へのアクセスを要求していないため、アクセス要求信号CWE, CRE, EWE

、 E R E はいずれも論理レベルが L レベルとなっている。このため、信号 a ~ m はいずれも論理レベルが L レベルであり、信号 n の論理レベルが H レベルとなる。よって、 R A M 2 0 1 はディスイネーブル状態が維持されている。

## 【 0 0 7 5 】

時刻 t 1 の期間において、アクセス要求信号 C W E , E W E , E R E のいずれもが論理レベルが H レベルとなると、信号 a が H レベルとなり、信号 n の論理レベルが L レベルに変化する。監視回路 2 1 0 は、まだ信号 b に応じた信号を取り込んでいないため、信号 c の論理レベルは L レベルのままである。監視回路 2 2 0 も同様に、まだアクセス要求信号 E R E に応じた信号を取り込んでいないため、信号 b の論理レベルは L レベルのままである。アクセス要求信号 E R E によって、信号 d の論理レベルは H レベルとなるが、信号 a により、信号 e の論理レベルが L レベルとされるため、信号 f の論理レベルが L レベルのまま維持される。同様に、監視回路 2 5 0 , 2 6 0 , 2 7 0 から出力される信号 j , i , h の論理レベルも L レベルで、アクセス要求信号 E W E の論理レベルは H レベルであるが、信号 g の反転レベルの信号 l の論理レベルが L レベルとなるため、信号 m の論理レベルも L レベルとなる。よって、上述のように、時刻 t 1 の期間において、信号 m、信号 f、アクセス要求信号 C R E により、アドレス生成回路 2 0 3 から出力されている書き込みアドレス信号 C W A が選択回路 2 0 5 にて選択されるとともに書き込みデータ C W D が選択回路 2 3 3 にて選択されるため、 C P U による R A M 1 0 1 へアドレス C W A 1 にて指示されるメモリセルへのデータ C W D 1 の書き込み処理が実行されることとなる。

## 【 0 0 7 6 】

時刻 t 2 の期間において、 C P U による R A M 2 0 1 へのデータの書き込み処理も終了し、アクセス要求信号 C W E の論理レベルが L レベルになるとともに、アクセス要求信号 E R E , E W E も論理レベルが L レベルとなる。ここで、時刻 t 2 におけるクロック信号 C L K の立ち上がりに応じて、監視回路 2 2 0 と監視回路 2 7 0 にはそれぞれアクセス要求信号 E R E , E W E に応じた信号が取り込まれているため、信号 b、h の論理レベルはそれぞれ H レベルとなる。ここで、時刻 t 2 においては、 C P U による R A M 2 0 1 へのデータの読み出し要求を指

示するアクセス要求信号CREの論理レベルがHレベルとなっているので、信号f、mの論理レベルはLレベルのまま維持される。このため、信号m、信号f、アクセス要求信号CREにより、アドレス生成回路203から出力されている読み出しアドレス信号CRAが選択回路205にて選択されるため、CPUによるRAM201からアドレス信号CRA1にて指示されるメモリセルからのデータの読み出し処理を実行することができる。なお、アクセス要求信号CWEの論理レベルがLレベルとなることに応じて、アドレス生成回路203は、アドレス信号CWAを新たに生成し、アドレス信号CWAはアドレスCWA2となる。

## 【0077】

この後、CPUによるRAM201へのデータの読み出し処理も終了し、時刻t3におけるクロック信号CLKの立ち上がりに対応して、FF245の出力信号の論理レベルはHレベルとなり、この論理レベルの変化に対応して、FF247はRAM201から読み出されたデータを読み出しデータCRDとして出力し、次の読み出し時まで保持することができる。なお、アクセス要求信号CREの論理レベルがLレベルとなることに応じて、アドレス生成回路203は、アドレス信号CRAを新たに生成し、アドレス信号CRAはアドレスCRA2となる。

## 【0078】

さらに、時刻t3におけるクロック信号CLKの立ち上がりに対応して、監視回路210と監視回路260にはそれぞれ信号bと信号hに応じた信号が取り込まれているため、信号c、iの論理レベルはそれぞれHレベルとなる。このため、信号dと信号kの論理レベルはHレベルとなる。ここで、CPUによるアクセス要求が発生していないため、信号aの論理レベルがLレベルとなっているので、信号fの論理レベルはHレベルとなる。このため、信号gの論理レベルはHレベルのまま維持されるので、信号mの論理レベルはLレベルのままとなる。よって、信号m、信号f、アクセス要求信号CREにより、アドレス生成回路203から出力されている読み出しアドレス信号ERAが選択回路205にて選択されるため、外部装置によるRAM201からアドレス信号ERA1にて指示されるメモリセルからのデータの読み出し処理を実行することができる。

## 【0079】

この後、外部装置によるRAM201へのデータの読み出し処理も終了し、信号fの論理レベルはLレベルに戻る。時刻t4におけるクロック信号CLKの立ち上がりに応答して、FF235の出力信号の論理レベルはHレベルとなり、この論理レベルの変化に応答して、FF236はRAM201から読み出されたデータを読み出しデータERDとして出力し、次の読み出し時まで保持することができる。また、時刻t4におけるクロック信号CLKの立ち上がりに応答して、監視回路250には信号iに応じた信号が取り込まれているため、信号jの論理レベルはHレベルとなる。このため、信号kの論理レベルはHレベルとなる。ここで、CPUによるアクセス要求が発生しておらず、外部装置からの読み出し要求も発生していないため、信号a、fの論理レベルがともにLレベルとなっているので、信号gの論理レベルはLレベルとなる。このため、信号lの論理レベルはHレベルとなるので、信号mの論理レベルはHレベルとなる。よって、信号m、信号f、アクセス要求信号CREにより、アドレス生成回路203から出力されている書き込みアドレス信号EWAが選択回路205にて選択され、選択回路233により外部装置からの書き込み要求に応じた書き込みデータEWDが選択されるため、外部装置によるRAM201からアドレス信号EWA1にて指示されるメモリセルへデータEWDの書き込み処理を実行することができる。なお、アクセス要求信号EREの論理レベルがLレベルとなることに応じて、アドレス生成回路203は、アドレス信号ERAを新たに生成し、アドレス信号ERAはアドレスERA2となる。

## 【0080】

この後、外部装置によるRAM201へのデータの書き込み処理も終了し、時刻t5におけるクロック信号CLKの立ち上がりに応答して、信号jの論理レベルもLレベルとなる。このため、信号mの論理レベルもLレベルとなり、初期状態と同様な状態に戻る。なお、信号mの論理レベルがLレベルとなることに応じて、アドレス生成回路203は、アドレス信号EWAを新たに生成し、アドレス信号EWAはアドレスEWA2となる。

## 【0081】

この後、時刻t6においてはアクセス要求信号のうちアクセス要求信号CWE

の論理レベルがHレベルとなることにより、信号aの論理レベルをHレベル、信号fと信号mの論理レベルをLレベルとすることで、時刻t1と同様な論理レベルの信号をアドレス生成回路203、選択回路205、233に与えることができるので、CPUによるRAM201へのデータの書き込み処理を実行することができる。

## 【0082】

CPUによるRAM201へのデータの書き込み処理終了後、時刻t7においては、アドレス信号CWAが更新され、アドレス信号CWAはアドレスCWA3となる。

## 【0083】

この後、時刻t8においてはアクセス要求信号のうちアクセス要求信号EREの論理レベルがHレベルとなることにより、信号fの論理レベルをHレベル、信号aと信号mの論理レベルをLレベルとすることで、時刻t3と同様な論理レベルの信号をアドレス生成回路203、選択回路205、233に与えることができるので、外部装置によるRAM201へのデータの読み出し処理を実行することができる。

## 【0084】

外部装置によるRAM201へのデータの読み出し処理終了後、時刻t9においては、アドレス信号ERAが更新され、アドレス信号ERAはアドレスERA3となる。

## 【0085】

この後、時刻t10においてはアクセス要求信号のうちアクセス要求信号EWEの論理レベルがHレベルとなることにより、信号mの論理レベルをHレベル、信号aと信号fの論理レベルをLレベルとすることで、時刻t4と同様な論理レベルの信号をアドレス生成回路203、選択回路205、233に与えることができるので、外部装置によるRAM201へのデータの書き込み処理を実行することができる。

## 【0086】

外部装置によるRAM201へのデータの書き込み処理終了後、時刻t11に



においては、アドレス信号EWAが更新され、アドレス信号EWAはアドレスEWA3となる。

【0087】

この後、時刻t12においてはアクセス要求信号のうちアクセス要求信号CREの論理レベルがHレベルとなることにより、信号aの論理レベルをHレベル、信号fと信号mの論理レベルをLレベルとすることで、時刻t2と同様な論理レベルの信号をアドレス生成回路203、選択回路205、233に与えることができるので、CPUによるRAM201へのデータの読み出し処理を実行することができる。

【0088】

CPUによるRAM201へのデータの読み出し処理終了後、時刻t13においては、アドレス信号CRAが更新され、アドレス信号CRAはアドレスCRA3となる。

【0089】

以上のように、本発明の第2の実施の形態におけるメモリ制御回路を用いることで、第1の実施の形態におけるメモリ制御回路と同様に、特に、CPUからのアクセス要求と外部装置からのアクセス要求とがともに発生した場合においても、優先度の高いアクセス要求を先に実行した後、残りのアクセス要求を実行するようにスケジューリングすることができるので、上述の目的を達成することができる。さらに、第2の実施の形態においては、外部装置からのアクセス要求においても優先度の高いアクセス要求を先に実行するように、スケジューリングすることができ、受信側装置と送信側装置とで1つのメモリを共有して用いることができる。よって、第2の実施の形態におけるメモリ制御回路は、第1の実施の形態におけるメモリ制御回路に比べて、コスト低減、チップサイズ縮小、消費電力低減に対してさらに高い効果を得ることができる。

【0090】

また、上述した2つの実施の形態における本発明のメモリ制御回路は、上述したように、複雑な回路構成とすることなく、また、複雑なタイミング制御も必要とすることなく実現できるものであり、本発明と同様な課題を有する種々の装置

に対して適用しても同様な効果を得られることができる。

【 0 0 9 1 】

以上、本発明のメモリ制御回路についてを図面を用いて詳細に説明したが、本発明のメモリ制御回路は図 1 や図 3 に示す回路構成に限定されるものではなく、本発明の要旨を変更しない程度の範囲で種々の変更を施すことが可能である。

【 0 0 9 2 】

例えば、FF は立ち上がりで信号を取り込むものとしてもよいし、D 型 FF に限らず、クロック信号 CLK の論理レベルに応じて入力された信号の論理レベルの保持とスルー（通過させる）とが制御されるようなラッチ回路としてもよい。特に、FF 2 3 5, 2 4 5 を立ち下がりで応答するようにしておけば、読み出しクロックサイクル中に所望の読み出しデータを出力することができ、高速化に対してより好適である。また、メモリ制御回路を構成する各回路が動作制御される際の論理レベルも実施の形態のものに限定されるものではない。

【 0 0 9 3 】

また、CPU からのアクセス要求より外部装置からのアクセス要求より優先させるようにしてもよいし、書き込み要求と読み出し要求との優先度も必要に応じて変更させてもよい。

【 0 0 9 4 】

さらに、他の外部装置や CPU 以外の他の内部装置からのアクセス要求との優先度をスケジューリングする必要があるれば、優先度の低いアクセス要求を遅延させるための監視回路 2 1 0, 2 2 0（2 クロックサイクル遅延）や監視回路 2 5 0, 2 6 0, 2 7 0（3 クロックサイクル遅延）に対してそれぞれにさらに監視回路の数を増やしたり、全く別の  $n$ （ $n$  は 1 あるいは 4 以上の整数）クロックサイクル遅延用の監視回路群を設けて実施の形態とは異なる遅延期間に対応（例えば、4 クロックサイクル以上）するような構成にすることもできる。

【 0 0 9 5 】

また、本発明においては、シングルポート RAM に用いて好適であるが、他のメモリに用いることもできる。例えば、CPU や外部装置からデータの読み出し要求しか行われない場合には、読み出し専用のリードオンリメモリを用いること

も充分可能である。

【0096】

【発明の効果】

以上のように、本発明のメモリ制御回路は、上述のように構成することで、メモリに対する複数のアクセス要求が発生したとしても、メモリ制御回路にてそれらの優先度に応じてスケジューリングすることができるので、メモリ数を減らすことができ、送受信装置がチップサイズの縮小化やコストの低減や消費電力の低減を実現できる。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態におけるメモリ制御回路を用いた送受信回路の構成を示す図である。

【図2】

図1のメモリ制御回路の動作を示すタイミングチャートである。

【図3】

本発明の第2の実施の形態におけるメモリ制御回路を用いた送受信回路の構成を示す図である。

【図4】

図3のメモリ制御回路の動作を示すタイミングチャートである。

【図5】

従来のデータ送受信装置を示す図である。

【図6】

従来の他のデータ送受信装置を示す図である。

【符号の説明】

101, 151, 201	RAM (メモリ)
110, 210, 220, 250, 260, 270	監視回路
103, 203	アドレス生成回路
105, 205, 233	選択回路
106, 206	インバータ

107, 207, 231, 287, 291 ORゲート

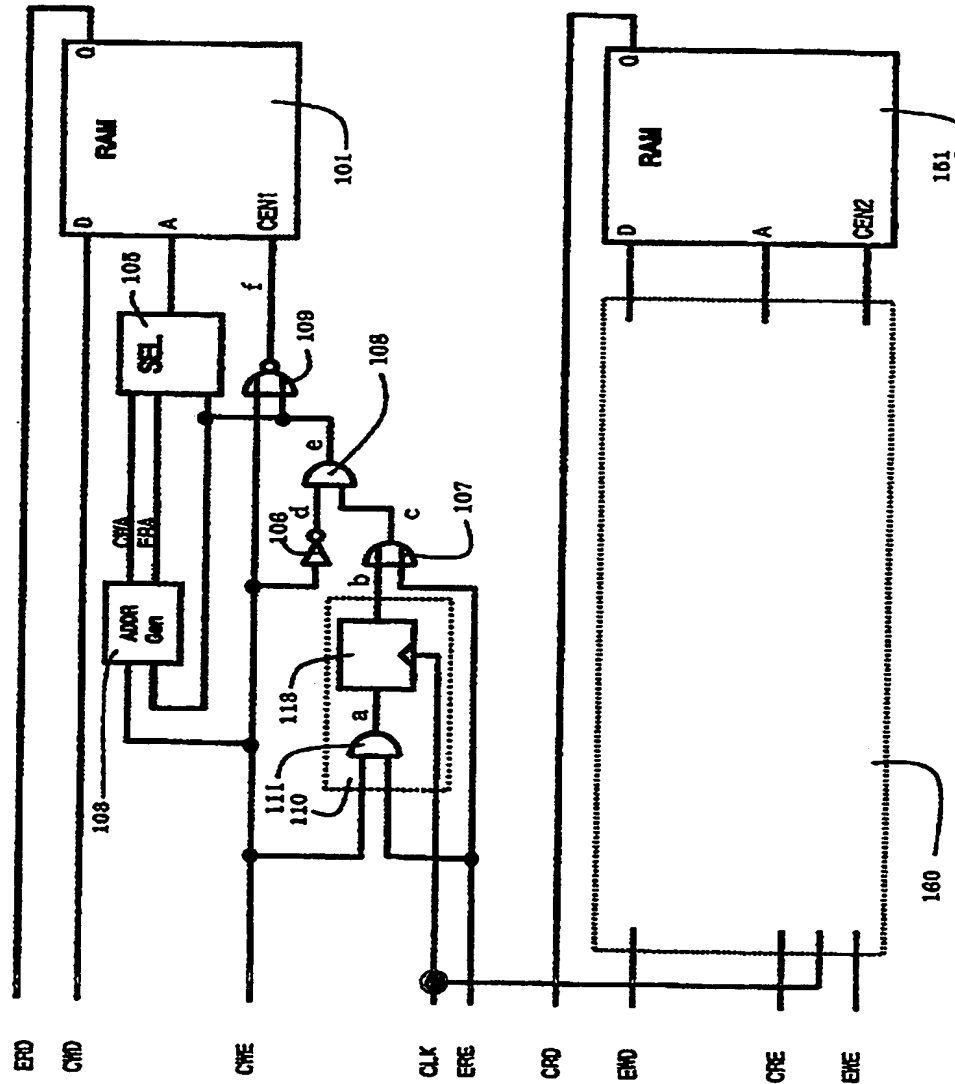
108, 111, 208, 211, 288 ANDゲート

109, 209 NORゲート

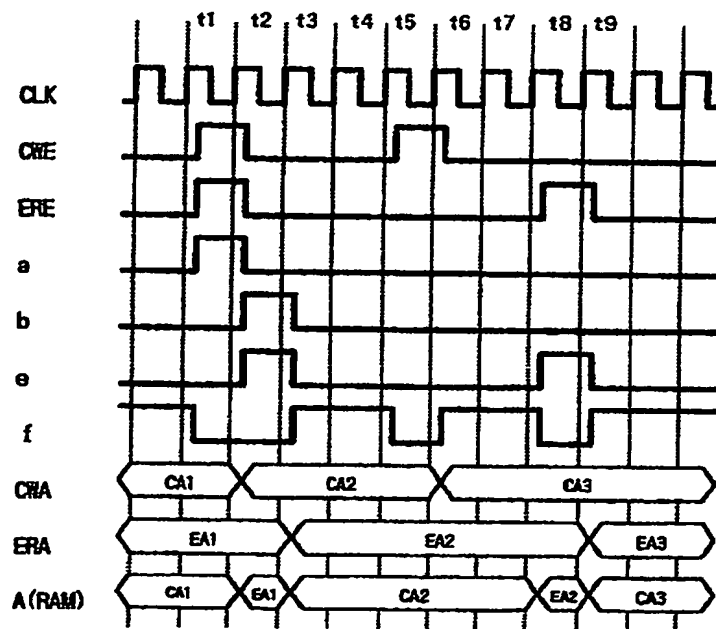
112, 213, 235, 236, 245, 247 保持回路（フリップフロップ回路）

【書類名】 図面

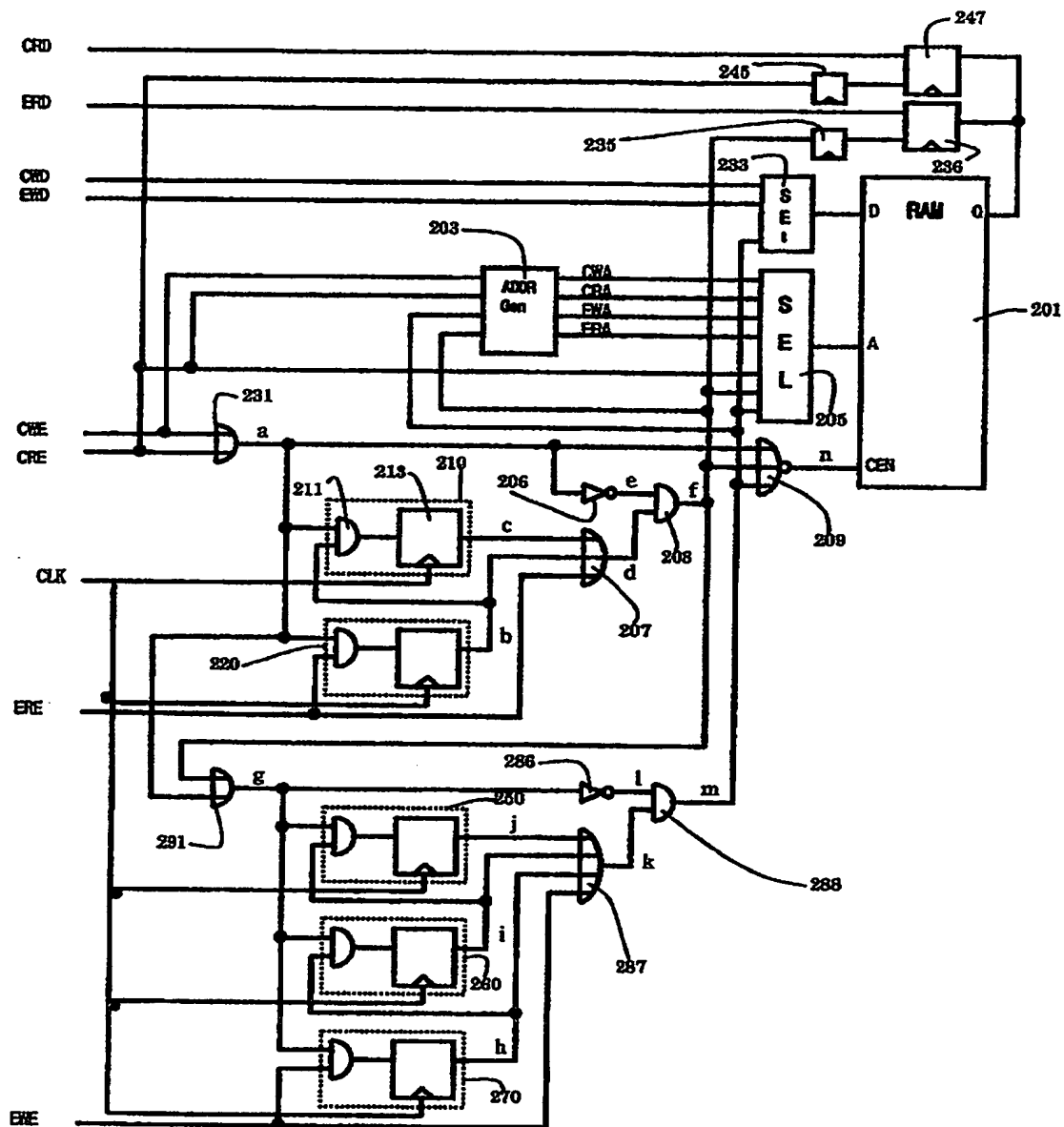
【図 1】



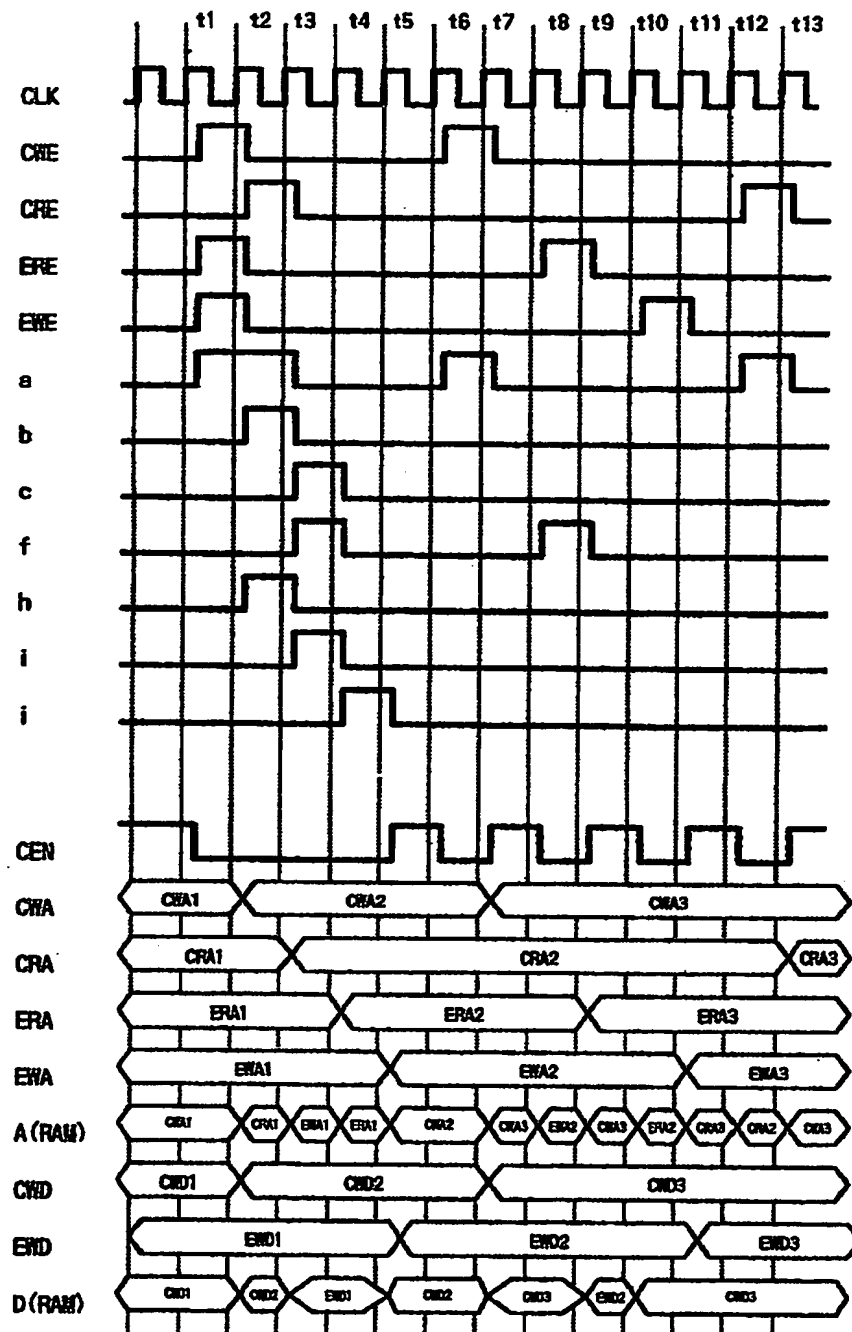
【図2】



【図 3】

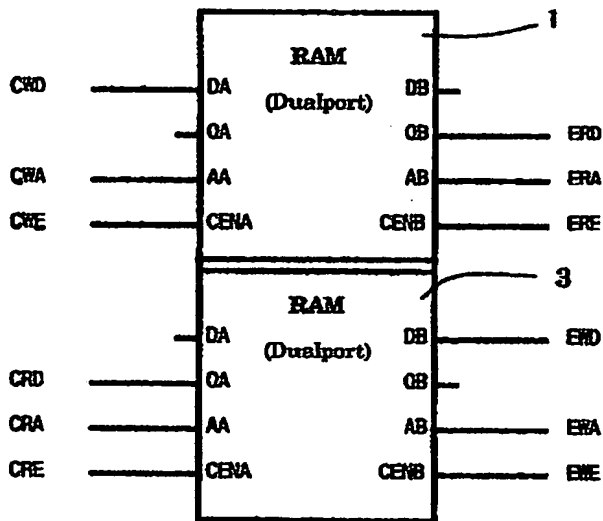


【図 4】

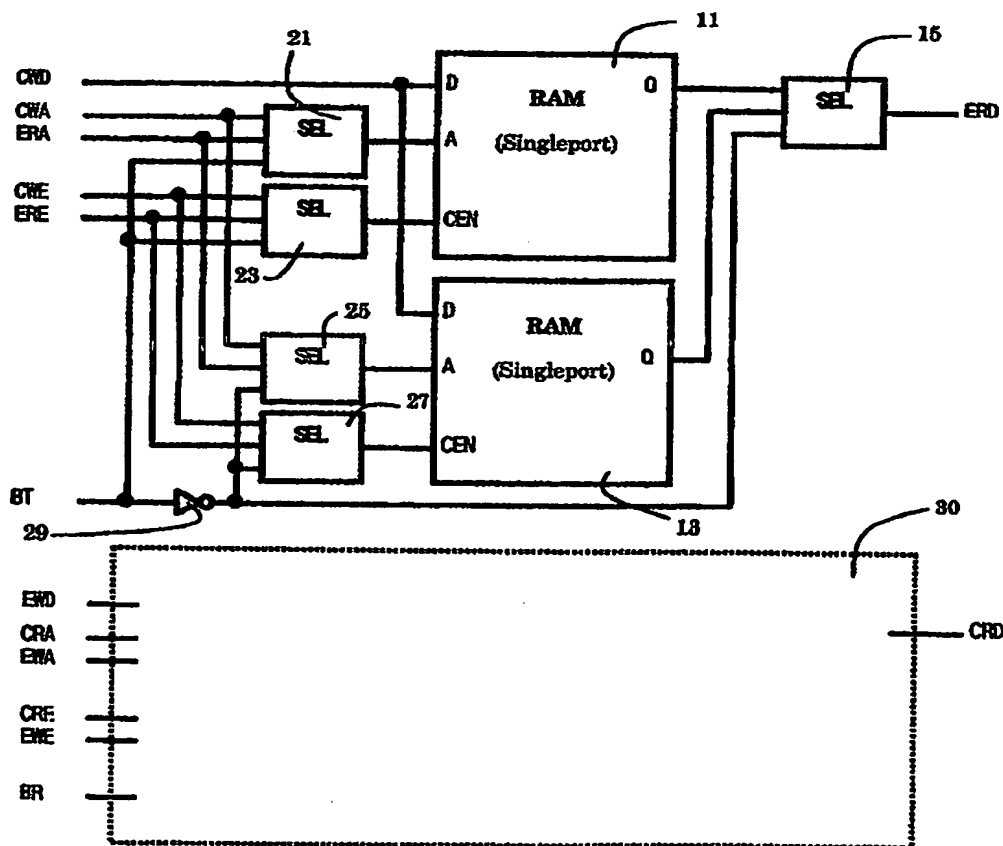




【図 5】



【図 6】



【書類名】 要約書

【要約】

【目的】 メモリ数を減らして、送受信装置がチップサイズの縮小化やコストの低減や消費電力の低減を実現できるメモリ制御回路を実現する。

【解決手段】 CPUからRAM101へのアクセス要求に応じたアクセス要求信号CWEと外部装置からRAM101へのアクセス要求に応じたアクセス要求信号EREとを監視する監視回路110を設け、2つのアクセス要求信号がともに発生した場合に、優先度の高いアクセス要求信号CWEを優先させた後に、アクセス要求信号EREを有効とするようにスケジューリングする制御回路（ORゲート107、ANDゲート108、NORゲート109）を設けた。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	東京都港区虎ノ門1丁目7番12号
氏 名	沖電気工業株式会社